

Searching PAJ

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-150823  
 (43)Date of publication of application : 11.06.1990

(51)Int.Cl. G02F 1/136  
 G02F 1/133  
 H01L 27/04  
 H01L 27/12

(21)Application number : 63-304097  
 (22)Date of filing : 02.12.1988

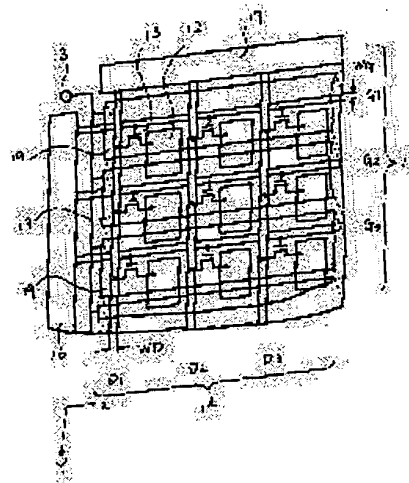
(71)Applicant : HITACHI LTD  
 (72)Inventor : KANEKO YOSHIYUKI  
 MATSUMARU HARUO  
 YAMAMOTO HIDEAKI

## (54) LIQUID CRYSTAL DISPLAY DEVICE

## (57)Abstract:

PURPOSE: To reduce the propagation delay of gate pulses or a data signal by forming an area where there is no conductor opposite the wiring patterns of gate lines and data lines.

CONSTITUTION: This device has a 1st substrate which has picture element electrodes 12 and thin film transistors 13 at intersection parts of data lines 14 and gate lines 15, a 2nd substrate which has a conductor 19, and a liquid crystal layer between the substrates. The 2nd substrate includes the area where there is no conductor 19 opposite the wiring patterns of the gate lines 15 and data lines 14. Namely, the area of a common electrode 19 at the part opposite the wiring patterns becomes small, so parasitic capacity becomes small. Thus, wiring capacity is reduced to secure a signal write time.



## LEGAL STATUS

[Date of request for examination]  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number]  
 [Date of registration]  
 [Number of appeal against examiner's decision of rejection]  
 [Date of requesting appeal against examiner's decision of rejection]  
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

<http://www19.ipdl.ncipi.go.jp/PA1/result/detail/main/wAAAT6a49UDA402150823P> 2005/01/18

⑫ 公開特許公報 (A)

平2-150823

⑬ Int. Cl.<sup>5</sup>

G 02 F 1/136  
1/133  
H 01 L 27/04  
27/12

識別記号

5 0 0  
5 5 0

庁内整理番号

7370-2H  
8708-2H  
7514-5F  
7514-5F  
D  
A

⑬ 公開 平成2年(1990)6月11日

審査請求 未請求 請求項の数 10 (全7頁)

⑭ 発明の名称 液晶表示装置

⑮ 特 願 昭63-304097

⑯ 出 願 昭63(1988)12月2日

⑰ 発 明 者 金 子 好 之 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
⑰ 発 明 者 松 丸 治 男 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
⑰ 発 明 者 山 本 英 明 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内  
⑱ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
⑲ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

液晶表示装置

2. 特許請求の範囲

1. 複数のデータ線と、上記複数のデータ線と交差する複数のゲート線を有し、上記データ線と上記ゲート線の交差部に画素電極と上記画素電極を駆動する薄膜トランジスタを有してなる第1の基板と、導電体を有する第2の基板と、上記第1および第2の基板の間の液晶層とを有する液晶表示装置であつて、上記第2の基板は、上記ゲート線およびデータ線のうちの少なくとも一方の配線パターンと対向する部分の少なくとも一部に上記導電体を有しない領域を含んでなることを特徴とする液晶表示装置。
2. 上記導電体が透明導電体であることを特徴とする請求項1記載の液晶表示装置。
3. 上記配線パターンと対向する部分における透明導電体を有しない領域の幅が、上記配線パターンの幅以上であることを特徴とする請求項2

記載の液晶表示装置。

4. 上記透明導電体が、複数の短冊状の形状を有する透明導電体であることを特徴とする請求項2記載の液晶表示装置。
5. 上記透明導電体が、メッシュ状の形状を有し、なることを特徴とする請求項2記載の液晶表示装置。
6. 上記複数の短冊状の透明導電体に同一の電位が印加されることを特徴とする請求項4記載の液晶表示装置。
7. 上記複数の短冊状の透明導電体の間を、上記透明導電体を構成する材料よりも低抵抗の材料で接続してなることを特徴とする請求項6記載の液晶表示装置。
8. 上記低抵抗の材料が、クロムであることを特徴とする請求項7記載の液晶表示装置。
9. 請求項1ないし8の一に記載の液晶表示装置を用いたことを特徴とするTV画像表示装置。
10. 請求項1ないし8の一に記載の液晶表示装置を用いたことを特徴とする情報用端末あるいは

文字・図形表示装置。

### 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、アクティブマトリクス型液晶表示装置及びその駆動方法に係り、特に高精細・大画面の場合に良好な画質を実現するのに好適な液晶表示装置に関する。

〔従来技術〕

アクティブマトリクス型液晶表示装置の一般的な構成例を第2図に示す。同図において、21はマトリクス状に配された液晶セル、22は電荷蓄積用コンデンサ、23は各液晶セル21毎にその一方の電極に接続されている薄膜トランジスタであり、これらにより一画素を構成している。24はアクティブマトリクスの各列毎に薄膜トランジスタのデータ電極に共通接続された複数(m本)のデータ線 $D_1 \sim D_m$ 、25はアクティブマトリクスの各行毎に薄膜トランジスタのゲート電極に共通接続された複数(n本)のゲート線 $G_1 \sim G_n$ である。また26は、ゲート線に順次走査パルス

また線順次走査においては、第i番目のゲート線に接続された薄膜トランジスタは同時に駆動され、画素 $C_{i,k}$  ( $k=1 \sim m$ )においても各々の画像信号は上記と同様の信号書き込みが同時に行なわれる。

次に時刻 $t_{i+1} = t_i + \Delta t$ に第i+1番目のゲート線に薄膜トランジスタをオンする電圧 $V_{on}$ が加えられ画素 $C_{i+1,k}$  ( $k=1 \sim m$ )に信号書き込みが行なわれる。この信号書き込みは時刻 $t_i + 2\Delta t$ に終了する。以上のようにゲート線には一線毎に順次薄膜トランジスタをオンする電圧が加えられて画素を駆動することになる。

一方共通電極は一定の電位に保たれることが多く、通常画素に印加される電位の時平均の中心点に設定される。

なおこの種の装置に関連するものとしては、例えば特開昭54-18886号が挙げられる。

〔発明が解決しようとする課題〕

しかしながら、実際の駆動においてはゲート電圧パルス、画像信号電圧パルスの伝播遅延を考慮に入れなければならない。それは、ゲート配線及

印加する走査回路、27は一水平走査分の画像信号をデータに並列に印加する走査回路である。

28は共通電極であり、薄膜トランジスタを形成した基板と液晶を挟んで対向する基板上に形成される。この共通電極は、対向基板上に全面に一枚の電極として形成され、液晶セル21の各々の画素部と対向する部分毎に該セルの他方の電極の役割をはたす。

次に上記の液晶表示装置の駆動について説明する。第3図は従来技術の駆動波形の例を模式的に示したものである。第i番目のゲート線に薄膜トランジスタをオンする電圧 $V_{on}$ が加わるのに同期させて第j番目のデータ線に画像信号 $V_{Dj}$ が印加される。これによつて画素 $C_{i,j}$ では蓄積容量及び液晶容量に電荷が蓄積される。この電荷の蓄積がいわゆる画像信号の書き込みである。画像信号の書き込みは、時刻 $t_i$ に始まり $t_i + \Delta V_i$ で終了し同時にゲート電圧は $V_{off}$ となる。画素 $C_{i,j}$ の電圧は1フィールド周期T後の時刻 $t_i + T$ に再び信号書き込みが行なわれるまでは、 $V_{Dj}$ に保持される。

びデータ配線の抵抗とそれらに寄生する静電容量によつて生ずる駆動波形の歪みである。

これについて第4図を用いて説明する。ゲート線に印加される電圧は、ゲート走査回路側で方形波であつても、そのゲート線自体の配線抵抗と容量によつて波形に歪みが生じ、走査回路と反対側の端では立上りと立下りにそれぞれ伝播遅延 $t_{re}$ 、 $t_{rf}$ を伴った波形となる。その結果第4図の場合、信号書き込み時間は本来の $\Delta t$ から少なくとも $t_{re}$ だけ短縮されることになる。加えて同様の伝播遅延がデータ信号側にも認められる場合には、上記信号書き込み時間はさらに短縮されてしまう。

上記の伝播遅延の値は、一般的に次のように見積もることができる。第5図は、その内のi番目のゲート線のゲート伝播遅延について表わしたものである。同図にてCは1画素あたりの寄生容量であり、ゲート配線とデータ配線の交差部の容量、薄膜トランジスタの寄生容量、画素部の蓄積容量等の合成容量で表わされる。Rは配線材料によつて支配的に決まる配線抵抗である。これらと水平

方向のデータ線数  $n$  を用いると、伝播遅延は次式で見積もることができる。

$$t_{rs} \sim n^2 C \cdot R \quad \dots (1)$$

ここで薄膜トランジスタの容量変化に基づく  $C$  の変化を考慮すれば式(1) から  $t_{rs}$  も見積もることができる。また、データ信号遅延についても同様である。

ところで、スイッチング素子としての薄膜トランジスタには非晶質シリコンが多く用いられる。これはトランジスタマトリクスアレイの大面积化低コスト化に有利なためである。しかし、この非晶質シリコン薄膜トランジスタの場合、結晶シリコンを用いた MOS トランジスタと比べその電界効果移動度がかかなり低い。従つて第4図に示すような伝播遅延によつて縮小された書込時間  $\Delta t_{rs}$  内に画像信号を十分に画素部に書込むのは厳しい条件となる。これまではトランジスタサイズを大きくするか、あるいは特開昭59-123884号に記載されるように、ゲート信号とデータ信号のタイミングをずらす等の駆動による対策を講じて来た。

線およびデータ線のうちの少なくとも一方の配線パターンと対向する部分の少なくとも一部に上記導電体を有しない領域を含んでなることを特徴とする。

上記導電体として透明導電体を用いれば、透過型の液晶表示装置を実現できる。

上記第2の基板上に形成される導電体の具体的な形状としては、例えばゲート線あるいはドレイン線の配線パターンと対向する部分で互いに離間された、短冊状の形状を有する複数の導電体とすることができる。あるいは上記対向する部分の一部に穴あき部（非形成部）を有するようなメッシュ形状とすることもできる。

尚、ゲート線あるいはデータ線との対向する部分で導電体を形成しない領域の幅は、本発明の効果をもたらし得るためには、ゲート線あるいはデータ線の配線パターンの幅以上とする。より好ましくは、上記パターンの幅よりも  $10 \mu m$  程度以上幅広としておくのが好ましい。

〔作用〕

しかし乍ら、より大面積、高精細のディスプレイを実現するためには、式(1)での  $C$ 、 $R$  の値をできるかぎり小さくしておく必要がある。

特に従来技術による液晶表示装置においては、対向基板上の共通電極を全面に形成しているために、この共通電極と配線との間にはさまれた液晶とで形成される容量については配慮されていなかった。

本発明の目的は、上記ゲートパルスあるいはデータ信号の伝播遅延を小さくすることが可能な液晶表示装置を提供することにある。

〔課題を解決するための手段〕

上記目的を達成するために本発明の液晶表示装置は、複数のデータ線と、上記複数のデータ線と交差する複数のゲート線を有し、上記データ線と上記ゲート線の交差部に画素電極と上記画素電極を駆動する薄膜トランジスタを有してなる第1の基板と、導電体を有する第2の基板と、上記第1および第2の基板の間の液晶層とを有する液晶表示装置であつて、上記第2の基板は、上記ゲート

従来共通電極たる導電体と配線の間にはさまれていた液晶は、配線に寄生する容量の動作をするが、本発明によれば上記配線パターンとの対向部分における共通電極の面積が少なくなるので上記寄生容量は小さくなる。従つて配線容量を低減することができ信号書込時間を確保でき、良好な画質表示が実現される。

尚、上記の如く導電体の一部を有さないような構造としても、液晶層をはさむ片方の電極としての（共通電極としての）機能には全く問題はない。

〔実施例〕

（実施例1）

以下、本発明の第1の実施例を第1図により説明する。第1図(a)は、本発明による液晶表示装置の模式図を斜視図で示してある。液晶層をはさむ2つの基板のうち一方にはY方向に幅  $W_0$  のゲート配線15とX方向に幅  $W_0$  のデータ配線14を絶縁層を介して交差させ、その各交点に薄膜トランジスタ13を設けてある。これらの薄膜トランジスタにより画素電極12に信号電圧が伝

えられる。データ線にはデータドライバ17から、ゲート線にはゲートドライバ18から信号が与えられる。他方の基板上には、短冊状に透明導電体19が形成されている。上記薄膜トランジスタを設けた基板と上記透明導電体の形成された基板の間には液晶が封入されている。上記短冊状透明導電体間の間隔は少なくともゲート電極幅 $W_0$ 以上とすることが有効であるが、ここでは $W_0 + 10 \mu m$ とした。また短冊状の透明導電体は、液晶封入部外のところで互いに電気的に接続されており、共通電極電圧18が与えられている。本発明による共通電極形状を特に取出すと、第1図(b)のようになる。共通電極の取り除かれた部分が液晶をはさんでゲート電極と対向することになるので、ゲート配線上に寄生する容量から液晶の寄与がほとんど除かれ、ゲート信号伝播遅延が改善されるという効果がある。

なお本発明は上記実施例に限定されない。特に各画素部には従来例によるように電荷蓄積用コンデンサが設けられていてもよいし、ゲート線・デ

ータ線が直線状である必要もない。

(実施例2) 本発明の第2の実施例を第6図を用いて示す。薄膜トランジスタを形成した基板は実施例1によるものと同一である。本実施例では短冊状透明電極の向きが異なり、データ線と向き合う部分の透明電極が除かれている。短冊の間隔 $d$ はデータ線幅 $W_0$ 以上とするがここでは $W_0 + 10 \mu m$ とした。これによれば、データ線の信号伝播遅延を低減できるという効果がある。またデータ線には液晶を駆動する信号が加えられるので、本実施例によればデータ配線上の液晶の駆動を防止することができ、混色が防げ鮮明な画像が得られるという効果もある。ここではデータ線が直線状の場合を挙げたが、ゲート線の場合と同様特にこれに限定されない。

(実施例3)

第7図は、実施例1の短冊形状の場合において、両端で互いに電気的に接続した透明導電層の構造を示したものである。通常透明導電体としては、ITO(インジウム・錫酸化物)が用いられるが、

これは金属と比べると高抵抗であるため、大画面化した場合に共通電位に伝播遅延が生じることがある。本実施例ではこれを防ぐため、各透明導電層の両端で互いに電気的に接続するパターンを採用してある。

(実施例4)

実施例3の別の有効なパターンを第8図に示す。これは透明導電体でメッシュ状パターンを形成したものである。

(実施例5)

実施例3の別のもう一つの有効なパターンを第9図に示す。これは、データ線と同様のパターンで低抵抗金属31を用いて、透明導電体短冊間の接続を行なったものである。接続のための材料としてここではCrを用いた。Crパターンをデータ線と液晶をはさんで向い合せ、同形状のパターンを形成させれば、画素部からの光透過量を損うことがない。

また上記実施例3、4、5についてX、Yを入れ換え実施例2のデータ線に対向する透明電極除

去の場合に対応させても有効なことはいうまでもない。

(実施例6)

本発明の第6の実施例を第10図を用いて説明する。本実施例は、実施例1の液晶表示装置を用いてTV画像表示を可能としたものである。34は通常のカラーTVに使用される標準的な駆動回路である。映像信号処理回路への入力をVTR信号とすれば、ビデオモニタとしても用いることができる。また実施例2、3、4、5に示した液晶表示装置を用いてもTV画像を実現することができる。

尚、上記各実施例において、共通電極たる導電体として透明導電体を用いたが、例えば反射型の液晶表示装置に本発明を適用する場合においては必ずしも透明である必要はない。

(発明の効果)

本発明による液晶表示装置によれば、従来法に比べ、ゲート配線あるいはデータ配線と対向電極との間に生ずる静電寄生容量をほぼゼロにまで低

減できるので、大画面高精細のディスプレイに適用して良好な画質を実現できるという効果がある。

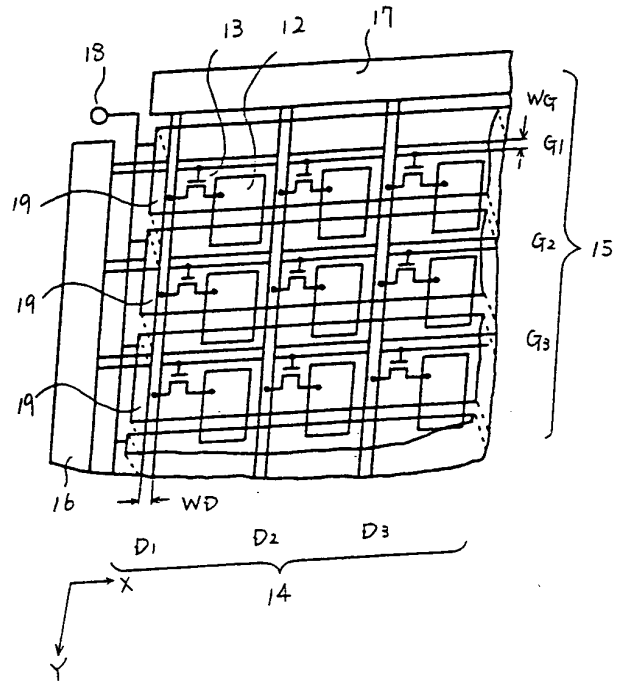
#### 4. 図面の簡単な説明

第1図は本発明の第1の実施例を説明するための図、第2図はアクティブマトリクス型液晶表示装置を説明するための図、第3図は従来型の液晶表示装置の駆動波形を示す図、第4図はゲートパルスの伝播遅延を説明するための図、第5図は配線抵抗及び容量の説明図、第6図は第1の実施例に用いた透明導電体のパターン図、第7図、第8図、第9図、第10図はそれぞれ本発明の実施例を説明するための図である。

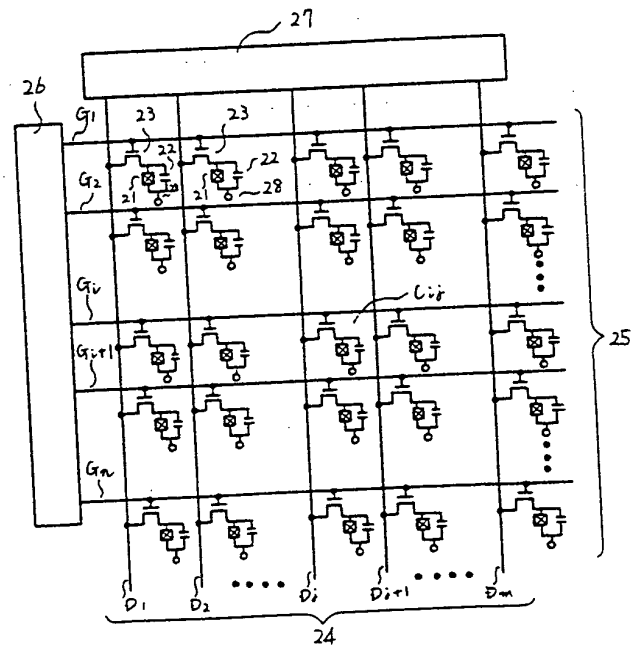
12…画素電極、13…薄膜トランジスタ、14、24…データ線、15、25…ゲート線、16、26…ゲートドライバ、17、27…データドライバ、18、28…対向共通電極電位、19…対向共通電極、32…制御信号発生部、33…画像信号発生部、34…通常のカラーTVの駆動回路。

代理人 弁理士 小川勝男

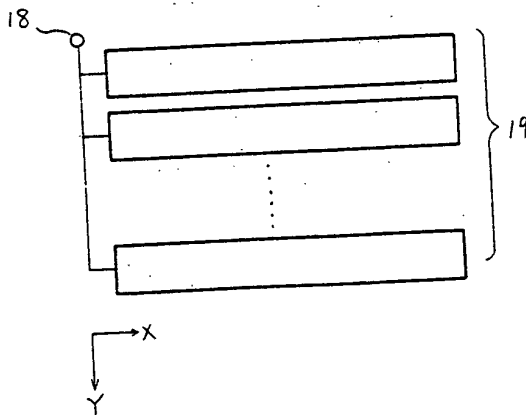
第1図  
(a)



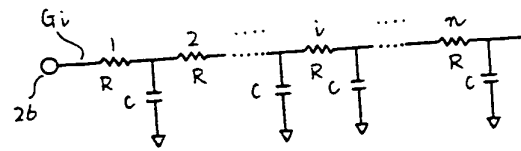
第2図



第1図  
(b)

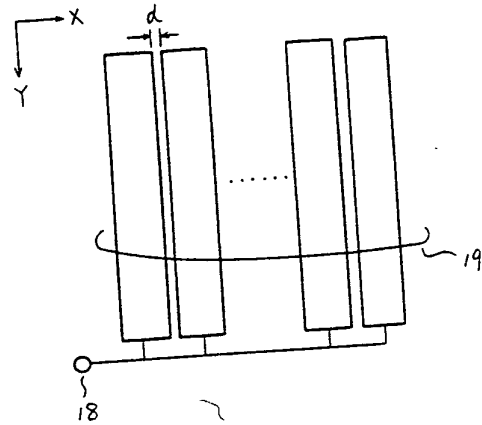


第 5 図

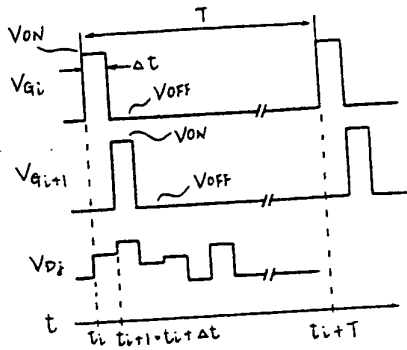


C: 1画素あたりの寄生容量  
R: 1画素あたりの配線抵抗

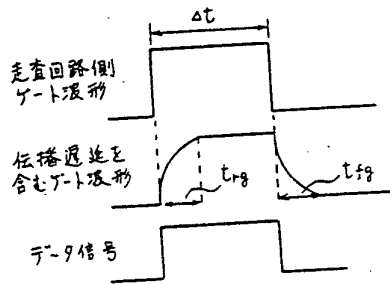
第 6 図



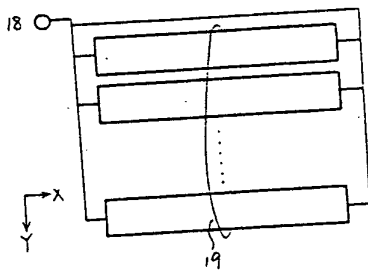
第 3 図



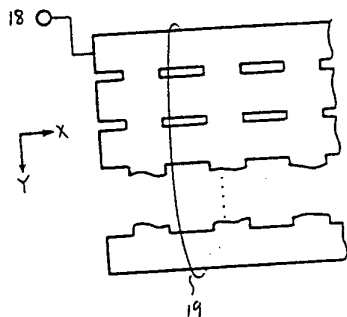
第 4 図



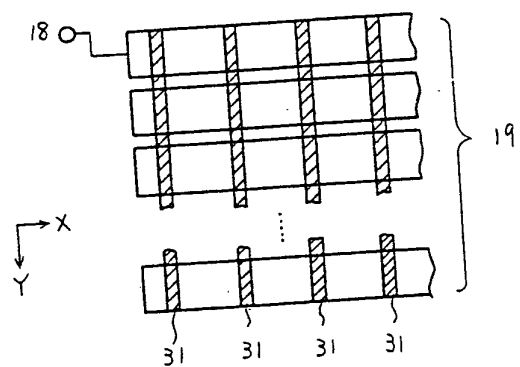
第 7 図



第 8 図



第 9 図



第 10 図

